

LAW OFFICES  
**SUGHRUE, MION, ZINN, MACPEAK & SEAS, PLLC**  
2100 PENNSYLVANIA AVENUE, N.W.  
WASHINGTON, DC 20037-3213  
TELEPHONE (202) 293-7060  
FACSIMILE (202) 293-7860

March 22, 1999

100-  
JC530 U.S. PTO  
09/21/99  
03/22/99  
2  
J. C. Osha  
5/13/99

BOX PATENT APPLICATION  
Assistant Commissioner for Patents  
Washington, D.C. 20231

Re: Takumi HASEGAWA  
DELAY ANALYSIS SYSTEM  
Our Ref. Q53743

Dear Sir:

Attached hereto is the application identified above including 14 sheets of the specification, claims, 5 sheets of drawings, executed Assignment and PTO 1595 form, and executed Declaration and Power of Attorney. Also enclosed is the Information Disclosure Statement with form PTO-1449 and reference.

The Government filing fee is calculated as follows:

Total claims	4	-	20	=	x	\$18.00	=	\$0.00	
Independent claims	4	-	3	=	1	x	\$78.00	=	\$78.00
Base Fee									\$760.00
<b>TOTAL FILING FEE</b>								<b>\$838.00</b>	
Recordation of Assignment								<b>\$40.00</b>	
<b>TOTAL FEE</b>								<b><u>\$878.00</u></b>	

Checks for the statutory filing fee of \$838.00 and Assignment recordation fee of \$40.00 are attached. You are also directed and authorized to charge or credit any difference or overpayment to Deposit Account No. 19-4880. The Commissioner is hereby authorized to charge any fees under 37 C.F.R. §§ 1.16 and 1.17 and any petitions for extension of time under 37 C.F.R. § 1.136 which may be required during the entire pendency of the application to Deposit Account No. 19-4880. A duplicate copy of this transmittal letter is attached.

Priority is claimed from March 27, 1998 based on Japanese Application No. 10-100474. The priority document is enclosed herewith.

Respectfully submitted,  
**SUGHRUE, MION, ZINN,**  
**MACPEAK & SEAS, PLLC**  
Attorneys for Applicant

By: J. Frank Osha  
J. Frank Osha  
Registration No. 24, 625

Takumi Hasegawa  
MARCH 22, 1999

日本国特許庁 453743

PATENT OFFICE  
JAPANESE GOVERNMENT

1 of 1

JPO U.S. PTO  
03/22/99  
03/22/99  
03/22/99

別紙添付の書類に記載されている事項は下記の出願書類に記載され  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

1998年 3月27日

出願番号  
Application Number:

平成10年特許願第100474号

出願人  
Applicant(s):

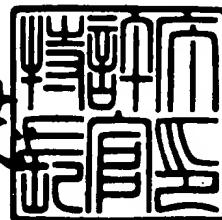
日本電気株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

1998年 9月18日

特許庁長官  
Commissioner,  
Patent Office

伴佐山 建志



出証番号 出証特平10-3074536

【書類名】 特許願  
【整理番号】 62702635  
【提出日】 平成10年 3月27日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G06F 17/50  
【発明の名称】 遅延解析システム  
【請求項の数】 4  
【発明者】  
【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内  
【氏名】 長谷川 拓己  
【特許出願人】  
【識別番号】 000004237  
【氏名又は名称】 日本電気株式会社  
【代表者】 金子 尚志  
【代理人】  
【識別番号】 100080816  
【弁理士】  
【氏名又は名称】 加藤 朝道  
【電話番号】 045-476-1131  
【手数料の表示】  
【予納台帳番号】 030362  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9304371

【書類名】 明細書

【発明の名称】 遅延解析システム

【特許請求の範囲】

【請求項1】

回路の接続情報と、前記回路の各入力端子と出力端子の立ち上がりと立ち下がりの遅延時間情報を遅延解析用のライブラリとして備え、論理回路の遅延解析を行う遅延解析システムにおいて、

前記ライブラリが、前記回路の入力端子毎の論理値と出力端子の論理値との対応を表す論理動作情報をさらに備え、

前記回路を含む論理回路の遅延解析時、前記ライブラリに格納されている前記回路に関する各入力端子と出力端子の立ち上がりと立ち下がりの遅延時間情報のうちから、前記論理動作情報で規定される、前記回路の論理動作に応じた、入力端子と出力端子間の遅延時間を選択して、遅延計算を行う、ことを特徴とする遅延解析システム。

【請求項2】

回路の接続情報と、前記回路の各入力端子と出力端子の立ち上がりと立ち下がりの遅延時間情報を遅延解析用のライブラリとして備え、論理回路の遅延解析を行う遅延解析システムにおいて、

前記ライブラリが、前記回路の入力端子毎の論理値と出力端子の論理値との対応を表す論理動作情報をさらに備え、

論理回路の遅延解析時、前記論理回路を構成する前記回路について、前記ライブラリを参照し、前記回路の出力端子の立ち上がり又は立ち下がりの遷移の際の遅延時間として、前記ライブラリ中に格納されている前記回路の各入力端子と出力端子の立ち上がりと立ち下がりの遅延時間情報のうちから、前記論理動作情報で規定される、前記回路の論理動作に応じた、入力端子と出力端子間の遅延時間を選択して、遅延計算を行う、ことを特徴とする遅延解析システム。

【請求項3】

論理回路の遅延解析を行うに際して、回路の接続情報と、前記回路の各入力端子と出力端子の立ち上がりと立ち下がりの遅延時間情報と、前記回路の入力端子

毎の論理値と出力論理値との対応を表す論理動作情報と、をライブラリ情報として保持する遅延解析用のライブラリを参照し、前記論理回路を構成する回路について、前記回路の出力端子の立ち上がり又は立ち下がりの遷移の際の遅延時間として、前記ライブラリ中に格納されている前記回路の各入力端子と出力端子の立ち上がりと立ち下がりの遅延時間情報のうちから、前記論理動作情報で規定される、前記回路の論理動作に応じた、入力端子と出力端子間の遅延時間を選択して、遅延計算を行う、ことを特徴とする遅延解析方法。

#### 【請求項4】

(a) 論理回路の遅延解析を行うに際して、回路の接続情報と、該回路の各入力端子と出力端子の立ち上がりと立ち下がりの遅延時間情報と、前記回路の入力端子毎の論理値と出力論理値との対応を表す論理動作情報を備えた遅延解析用のライブラリを参照し、前記論理回路を構成する回路について、前記回路の出力端子の立ち上がり又は立ち下がりの遷移の際の遅延時間として、前記ライブラリ中に格納されている前記回路の各入力端子と出力端子の立ち上がりと立ち下がりの遅延時間情報のうちから、前記論理動作情報で規定される、前記回路の論理動作に応じた、入力端子と出力端子間の遅延時間を選択する処理、及び、

(b) 前記選択した遅延時間を前記回路の伝搬遅延時間として遅延計算を行う処理、

の上記(a)、(b)の処理をコンピュータで実行するためのプログラムを記録した記録媒体。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、論理回路装置の遅延解析システムに関し、特に、遅延解析用のライブラリに関する。

##### 【0002】

##### 【従来の技術】

従来の遅延シミュレーションシステムにおいて、論理回路の遅延計算を行う際に、AND素子等基本論理素子等の回路接続情報と遅延情報を格納した遅延解析

ライブラリを参照して、対象回路の遅延解析を行っている。

#### 【0003】

従来の遅延解析用ライブラリには、回路の接続関係に加えて、遅延情報としては、立ち上がり（rise）／立ち下がり（fall）毎の遅延時間のみが用意されており、論理情報を備えていない。

#### 【0004】

このため、回路の遅延解析を行う場合、遅延ライブラリ中に格納されている最悪の遅延時間等を用いて遅延解析が行われており、正確な遅延解析を行うことが出来ない場合がある。

#### 【0005】

なお、遅延解析に関する刊行物として、例えば特開平1-271869号公報には、出力端子の負荷及び配線容量を計算し、各ゲートの出力信号の立ち上がり、立ち下がり時間を計算して伝搬遅延時間を求める伝達遅延時間計算方法が提案されている。

#### 【0006】

##### 【発明が解決しようとする課題】

上記したように、従来の遅延解析用ライブラリは、回路情報として、論理値表を保持していないことから、遅延時間の解析時にライブラリ中の最悪の遅延時間を採用しており、このため、例えば図7に示すような回路の遅延解析を行う場合、端子2の側の信号の流れ（入力端子2から出力端子3までの信号の遅延時間8 ns）を採用し、総遅延時間を28 nsとしてしまう（後述するように、正確な値は、24 ns）という問題点を有している。

#### 【0007】

したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、回路の論理情報を考慮した遅延解析を可能とし、より正確な遅延時間を算出可能とする遅延解析システム及び方法を提供することにある。

#### 【0008】

##### 【課題を解決するための手段】

前記目的を達成するため、本発明は、遅延解析ライブラリに、回路の接続情報

、入力端子、出力端子の立ち上がりと立ち下がりの遅延時間情報に加えて、前記回路の論理動作を規定する論理情報を備えたものである。

#### 【0009】

本発明は、論理回路の遅延解析時、前記ライブラリに格納されている各入力端子と出力端子の立ち上がりと立ち下がりの遅延時間情報のうちから、前記回路の論理動作に応じた、入力端子と出力端子間の遅延時間を選択して、遅延計算を行う。

#### 【0010】

##### 【発明の実施の形態】

本発明の実施の形態について以下に説明する。本発明の遅延解析システムは、その好ましい実施の形態において、AND素子、OR素子、NAND素子、NOR素子等の組合せ回路、もしくはその他の順序回路等の基本回路の各回路の接続情報と、該基本回路の各入力端子と出力端子の立ち上がりと立ち下がりの遅延時間情報を遅延解析用のライブラリとして備えたシステムにおいて、このライブラリに、該基本回路の入力端子毎の論理値と出力論理値との対応を表す論理動作情報（真理値表に相当する情報）をさらに備えたものである。

#### 【0011】

本発明の遅延解析システムは、その好ましい実施の形態において、ある論理回路の遅延解析を行うに際して、解析対象の論理回路中の基本回路について、該基本回路の出力端子の立ち上がり（rise）又は立ち下がり（fall）の遷移の際の遅延時間として、該ライブラリ中に格納されている、この基本回路の各入力端子と出力端子の立ち上がり（rise）と立ち下がり（fall）の遅延時間情報のうちから、その論理動作情報で規定される、該基本回路の論理動作に応じた、入力端子と出力端子間の遅延時間を選択して、この基本回路の遅延時間として、前記論理回路の遅延計算を行う。

#### 【0012】

なお、本発明の実施の形態の遅延解析システムにおいて、論理情報を備えたライブラリを参照して回路の論理動作に対応した遅延時間を選択する処理、及び選択された遅延時間を用いて論理回路の遅延計算を行う処理は、コンピュータで実

行されるプログラムで実現することができる。

#### 【0013】

このように、本発明の実施の形態によれば、論理値表を考慮した遅延解析を行うことができ、より正確な遅延時間を算出することができる。

#### 【0014】

##### 【実施例】

前記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

#### 【0015】

図1は、本発明の一実施例を説明するための図である。基本ゲート回路として、以下では、図1(a)に示すような、2入力AND素子のライブラリについて説明する。

#### 【0016】

ライブラリは、回路の接続関係と、図1(b)に示すように、立ち上がり（「rise」という）／立ち下がり（「fall」という）毎の遅延時間を持つ。すなわち、入力ピン1、2（端子1、2）のrise/fall、出力ピン3（端子3）のrise/fall毎の遅延時間を持つ。

#### 【0017】

ここで、図1(b)を参照して、一行目の、入力ピン（端子1）、出力ピン（端子3）、入力rise、出力riseの遅延時間が1nsであるとは、2入力AND素子の入力ピン（端子1）のLowレベルからHighレベルへの遷移（立ち上がり）の際、出力ピン（端子3）がLowレベルからHighレベルへ遷移する（立ち上がる）遅延時間が1nsであることを表しており、5行目の入力ピン（端子1）、出力ピン（端子3）、入力rise、出力riseの遅延時間が2nsであるとは、2入力AND素子の入力ピン（端子2）のLowレベルからHighレベルへの遷移（立ち上がり）の際、出力ピン（端子3）がLowレベルからHighレベルへ遷移する（立ち下がる）遅延時間が5nsであることを表している。なお、図1(b)に一例を示した、入力ピン、出力ピンの立ち上がり、立ち下がりの遅延情報は、従来の遅延解析ライブラリでも有する情報である。

## 【0018】

本発明の一実施例においては、図1(c)に示すように、論理値表（入力端子毎の論理値と出力論理値との対応を示す表）を持つ。

## 【0019】

図2に示すように、図1のライブラリで示される2入力AND回路とその周辺の回路からなる論理回路について考える。

## 【0020】

2入力AND回路の動作は、図1(c)に真理値表として示す通りであり、これをタイミング波形で示し、遅延時間求める場合に対象とすべき変化点を持つ入力を付記すると、図3に示すようになる。

## 【0021】

図3より、出力ピン（端子3）の出力信号が、riseかfallかにより、選択すべき入力と、そのrise/fall種別をまとめると、図4のようになる。

## 【0022】

すなわち、図3を参照すると、2入力AND素子の入力1、2（端子1、2）が共に立ち上がり（rise）の場合、出力（端子3）が立ち上がるが、その場合、遅延対象入力は、遅いrise側とされる。すなわち、2入力AND素子の場合、入力1（端子1）のriseから出力（端子3）のriseの遅延時間は1n s、入力2（端子2）のriseから出力（端子3）のriseの遅延時間は5n sであり、入力1、2が共にriseの場合、出力（端子3）のriseは端子2の側の遅延時間で規定される。このため、遅延解析時、端子2側の遅延時間5n sが遅いrise側として選択される。

## 【0023】

2入力AND素子の入力1、2（端子1、2）が共に立ち下がる（fall）の場合、出力（端子3）が立ち下がるが、その場合、遅延対象入力は速いfall側とされる。すなわち、入力1（端子1）のfall時の出力（端子3）の遅延時間は4n s、入力2（端子2）のfall時の出力（端子3）の遅延時間は8n sであり、このため、遅延解析時、端子1の側の遅延時間4n sが速いfall側として選択される。また、入力1、2がrise/fallの場合、選択される遅延対象入力はない。

## 【0024】

図1（b）から実際に適用すべき部分を示すと、入力1、2が共にrise、fallのものが選択され、図5に枠で囲んだものとなる。

## 【0025】

次に、図2に示した論理回路を遅延解析し、回路全体の入力と出力間の最大の遅延時間導出することについて説明する。このためには、回路をトレースすることが必要であるが、トレースの手法としては、一般的なグラフ理論によるDFS（Depth First Search；「深さ優先探索」という、あるいは「縦型探索」ともいう）を用いる。

## 【0026】

トレースの際に、2入力AND回路の出力端子（端子3）の信号がriseの場合とfallの場合を分けて説明する。

## 【0027】

まず、出力端子（端子3）の信号がriseの場合には、図4及び図5から、遅いrise側の端子2（遅延時間5ns）の側の信号の流れが採用され、図6に示すように、回路の入力から出力までの総遅延時間（最悪値）は25ns（10ns+5ns+10ns）となる。

## 【0028】

一方、出力端子（端子3）の信号がfallの場合には、図4及び図5より、速いfall側の端子1（遅延時間4ns）の側の信号の流れが採用され、図7に示すように、総遅延時間（最悪値）は24ns（10ns+4ns+10ns）となる。

## 【0029】

なお、本発明は、最小の遅延時間求める際にも、同様にして適用可能である。

## 【0030】

## 【発明の効果】

以上説明したように、本発明によれば、遅延解析用ライブラリを用いて遅延解析を行うに際して、論理値表を考慮した遅延解析を行うことができ、より正確な

遅延時間を算出することができる、という効果を奏する。

【図面の簡単な説明】

【図1】

本発明の一実施例の遅延解析ライブラリを説明するための図であり、(a)は回路接続情報、(b)は入力端子と出力端子の立ち上がり・立ち下がりの遅延時間情報、(c)は論理情報(真理値表)を示す図である。

【図2】

本発明の一実施例を説明するための図であり、論理回路の一例を示す図である。

【図3】

本発明の一実施例を説明するための図であり、2入力AND回路の立ち上がり、立ち下がりの遅延のパターンを示す波形図である。

【図4】

本発明の一実施例を説明するための図である。

【図5】

本発明の一実施例を説明するための図である。

【図6】

本発明の一実施例を説明するための図であり、図2に示した論理回路の遅延解析結果を説明するための図である。

【図7】

本発明の一実施例を説明するための図であり、図2に示した論理回路の遅延解析結果を説明するための図である。

【符号の説明】

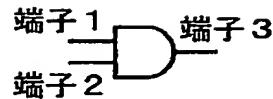
- 1、2 端子(入力端子)
- 3 端子(出力端子)

【書類名】

図面

【図1】

(a)



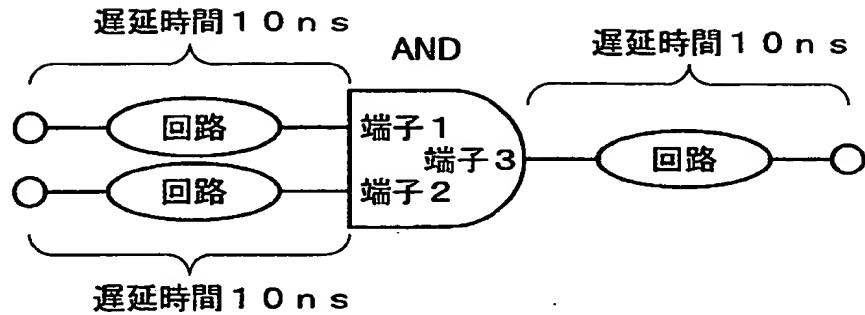
(b)

入力ピン	出力ピン	入力rise/fall	出力rise/fall	遅延時間(ns)
端子1	端子3	rise	rise	1
端子1	端子3	rise	fall	2
端子1	端子3	fall	rise	3
端子1	端子3	fall	fall	4
端子2	端子3	rise	rise	5
端子2	端子3	rise	fall	6
端子2	端子3	fall	rise	7
端子2	端子3	fall	fall	8

(c)

端子2	0	1
端子1	0	0
0	0	0
1	0	1

【図2】



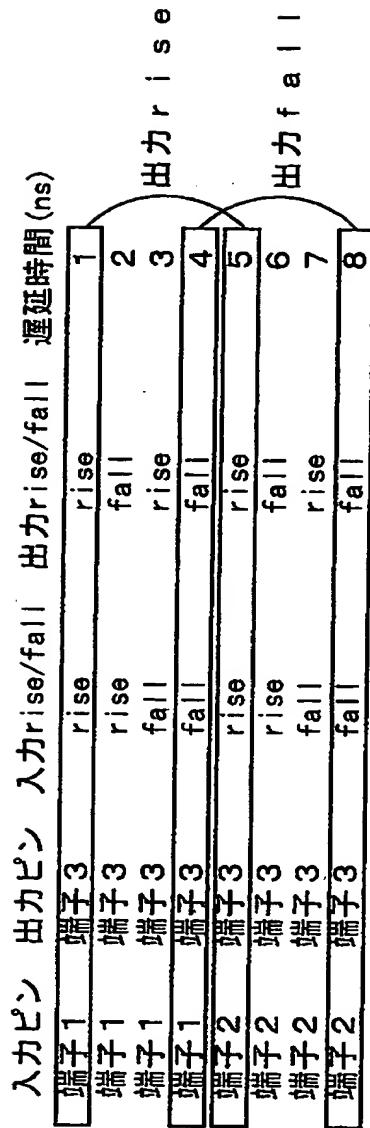
【図3】

入力rise/fall	共にrise	Rise/fall	共にfall
入力1			
入力2			
出力			
遅延対象 入力	遅い側	なし	速い側

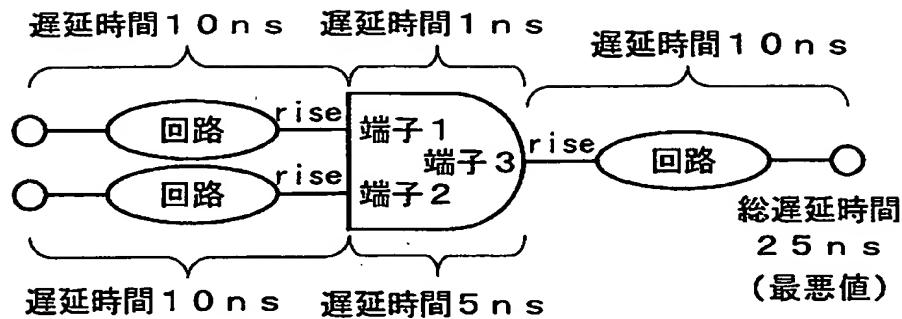
【図4】

出力	選択
R i s e	遅い r i s e 側
F a l l	速い f a l l 側

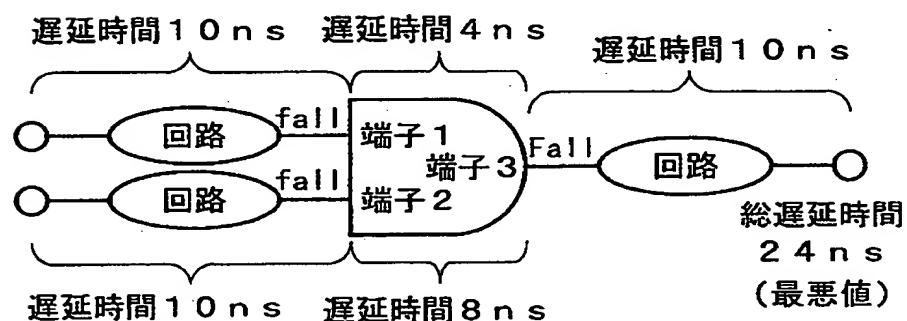
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】

回路の論理情報を考慮した遅延解析を可能とし、より正確な遅延時間を算出可能なとする遅延解析システムの提供。

【解決手段】

回路の接続情報と、回路の各入力端子と出力端子の立ち上がりと立ち下がりの遅延時間情報を備えた遅延解析用のライブラリに、回路の入力端子毎の論理値と出力論理値との対応を表す論理動作情報をさらに備え、論理回路の遅延解析時、論理回路を構成する回路について、該回路の出力端子の立ち上がり又は立ち下がりの遷移の際の遅延時間に対して、ライブラリ中に格納されている前記基本回路の各入力端子と出力端子の立ち上がりと立ち下がりの遅延時間情報のうちから回路の論理動作に応じた、入力端子と出力端子間の遅延時間を選択して、遅延計算を行う。

【選択図】

図 1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000004237

【住所又は居所】 東京都港区芝五丁目7番1号

【氏名又は名称】 日本電気株式会社

【代理人】 申請人

【識別番号】 100080816

【住所又は居所】 神奈川県横浜市港北区新横浜3丁目20番12号

望星ビル7階加藤内外特許事務所

【氏名又は名称】 加藤 朝道

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社